

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0047870
Application Number

출원년월일 : 2002년 08월 13일
Date of Application AUG 13, 2002

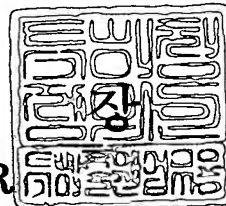
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 03 월 05 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【제출일자】	2002.08.13
【발명의 명칭】	동작모드 설정기능을 가진 반도체 집적회로
【발명의 영문명칭】	SEMICONDUCTOR INTEGRATED CIRCUIT WITH FUNCTIONSL MODES
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	박철성
【성명의 영문표기】	PARK, CHUL SUNG
【주민등록번호】	620126-1155018
【우편번호】	137-071
【주소】	서울특별시 서초구 서초1동 현대아파트 21동 1104호
【국적】	KR
【발명자】	
【성명의 국문표기】	양향자
【성명의 영문표기】	YANG, HYANG JA
【주민등록번호】	660227-2641918
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 동수원엘지빌리지 110동 407호
【국적】	KR

【발명자】**【성명의 국문표기】**

김홍균

【성명의 영문표기】

KIM,HONG KYUN

【주민등록번호】

701016-1067045

【우편번호】

463-480

【주소】경기도 성남시 분당구 금곡동 133번지 청솔마을현대아파트
902동 110 6호**【국적】**

KR

【발명자】**【성명의 국문표기】**

노용환

【성명의 영문표기】

NOH,YONG HWAN

【주민등록번호】

690108-1094229

【우편번호】

442-470

【주소】경기도 수원시 팔달구 영통동 청명마을4단지아파트 주공아
파트 406동 1304호**【국적】**

KR

【심사청구】

청구

【취지】특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정
에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)**【수수료】****【기본출원료】**

20 면 29,000 원

【가산출원료】

4 면 4,000 원

【우선권주장료】

0 건 0 원

【심사청구료】

9 항 397,000 원

【합계】

430,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 정상적인 동작상태에서 직류전압성분의 신호가 인가되는 편을 이용한 기능모드 설정에 관한 것으로서, 상기 편에 교류신호를 인가하는 신호원과; 상기 편을 통하여 공급되는 교류신호를 디지털신호로 변환하는 버퍼와; 상기 디지털신호의 주파수를 검출한 다음 소정의 검출신호를 출력하는 디지털검출기를 포함한다. 상기 검출신호는 상기 디지털신호가 소정의 주파수 이상일 때 활성화되며, 소정의 기능모드를 설정하는 신호로 이용된다. 다수의 기능모드신호들을 만들기 위하여 레지스터들 또는 차동증폭기와 디코더를 사용한다.

【대표도】

도 1

【색인어】

직류편, 기능모드

【명세서】

【발명의 명칭】

동작모드 설정기능을 가진 반도체 집적회로(SEMICONDUCTOR INTEGRATED CIRCUIT WITH FUNCTIONSL MODES}

【도면의 간단한 설명】

도 1은 본 발명의 제1실시예에 따른 동작모드 설정회로의 블록도.

도 2는 도 1의 주파수검출기의 실시예를 보이는 회로도.

도 3은 본 발명의 제2실시예에 따른 동작모드 설정회로의 블록도.

도 4는 도 2 또는 도 3에 보인 주파수검출기의 입출력특성을 보이는 파형도.

도 5는 도 3에 보인 디코더의 실시예를 보이는 회로도.

도 6은 도 5에 보인 디코더의 출력특성을 보이는 파형도.

도 7은 본 발명의 제3실시예에 따른 동작모드 설정회로의 블록도.

도 8은 도 7에 보인 기준전압들의 전압레벨들을 보이는 상태도.

본 발명에 따른 도면들에서 실질적으로 동일한 구성과 기능을 가진 구성요소들에 대하여는 동일한 참조부호를 사용한다.

< 도면의 주요 부분에 관한 참조부호의 설명>

10 : DC 입력패드 20 : 버퍼

30 : 주파수 검출기 40 : 디코더

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<13> 본 발명은 반도체 집적회로에 관한 것으로서, 특히 기능모드를 설정하는 반도체 집적회로에 관한 것이다.

<14> 반도체 집적회로 장치는 패키지 단계에서 그 특성분석 및 신뢰성 검증 뿐만 아니라 테스트시간 또는 번인(burn-in test) 시간을 줄이기 위한 기능들을 사용한다. 이러한 기능들은 JTAG(joint test action group), 디자이너가 이용가능한 핀들 또는 기능 명령셀을 통하여 수행된다. 그러나, 디자이너가 이용할 수 있는 핀 또는 제어코드가 없는 패키지에서는 디자이너가 원하는 기능을 패키지상태에서 설정하기가 불가능하다.

【발명이 이루고자 하는 기술적 과제】

<15> 따라서, 본 발명의 목적은 별도의 이용가능한 핀이 없더라도 디자이너를 위한 기능을 용이하게 설정할 수 있는 장치를 제공함에 있다.

<16> 본 발명의 다른 목적은 보다 용이하고 융통성 있게 기능모드를 설정할 수 있는 장치를 제공함에 있다.

【발명의 구성 및 작용】

<17> 전술한 본 발명의 목적들을 달성하기 위하여, 본 발명에 따른 집적회로장치는: 정상적인 동작상태에서 직류전압성분의 신호가 인가되는 핀에 교류신호를 인가하는 신호원과; 상기 핀을 통하여 공급되는 교류신호를 디지털신호로 변환하는 버퍼와; 상기 디지털신호의 주파수를 검출한 다음 소정의 검출신호를 출력하는 디지털검출기를 포함한다. 상기

검출신호는 상기 디지털신호가 소정의 주파수 이상일 때 활성화되며, 소정의 기능모드를 설정하는 신호로 이용된다.

- <18> 다수의 기능모드신호들을 생성하기 위하여, 본 발명은 클럭신호에 응답하여 상기 디지털신호로부터 순차적인 전달신호들을 발생하는 레지스터 체인과; 상기 검출신호에 응답하여 상기 전달신호들로부터 기능모드신호들을 발생하는 디코더를 더 포함한다. 디코더는 상기 전달신호들의 논리조합을 통하여 상기 기능모드신호들을 발생한다.
- <19> 또한, 본 발명에 따른 집적회로장치는: 정상적인 동작상태에서 직류전압성분의 신호가 인가되는 편에 인가하는 직류신호와 기준전압들을 각각 비교하여 차동증폭신호를 발생하는 차동증폭기들과; 상기 차동증폭신호들의 논리조합들로부터 적어도 하나 이상의 기능모드신호들을 발생하는 디코더를 포함하도록 구성된다. 상기 기준전압들은 상기 집적회로장치에서 동작하는 하이레벨의 전압들 중 가장 낮은 전압레벨과 상기 집적회로장치에서 동작하는 로우레벨의 전압들 중 가장 높은 전압레벨의 사이에 존재한다.
- <20> 본 발명이 적용되는 반도체 집적회로 장치는, 예를 들면 100핀 엘큐에프피(LQFP; low profile quad flat package)형식의 에스램(SRAM), 엔티램(NtRAM; no-turnaround RAM), 또는 에스피비(SPB; synchronous pipelined burst)형의 에스램 등으로서, 동작모드를 설정하는 직류(DC)핀을 가진 것들이다. 반도체 집적회로장치에서 사용되는 직류핀으로는 정상적인 동작상태에서 논리적으로 하이레벨 또는 로우레벨로 고정되는 모드설정용 핀(또는 패드)과 전원을 공급하기 위한 전원전압(VDD)핀 및 접지전압(GND)핀이 있다. 모드설정핀으로서,

100핀 엘큐에프피 에스램에서 버스트(burst) 데이터의 처리순서를 결정하기 위하여 논리적 하이레벨("1"; 리니어 방식) 또는 로우레벨("0"; 인터리브 방식)로 설정되는 핀(LBOB)을 예로 들 수 있다. 본 발명에서는 그러한 모드설정용 핀을 이용한 세가지의 실시예들을 제시한다. 그러나, 전원공급에 지장을 주지 않는 범위내에서 전원전압핀 및 접지전압핀을 이용할 수 있다는 점도 이해하여야 한다.

<21> 제1실시예 (관련도면들은 도 1 내지 도 3)

<22> 도 1을 참조하면, 제1실시예에 따른 기능모드 설정회로에서는, 핀(또는 패드) 10은 버퍼 20을 통하여 주파수검출기 30과 연결된다. 핀 10을 통하여 입력된 교류(AC)신호 S1은 버퍼 20을 통하여 씨모스(CMOS; complemetary metal-oxide-semiconductor)논리의 디지털신호 S2로 변환된 다음, 주파수검출기 30으로 인가된다. 주파수검출기 30은, 도 3에 보인 바와 같이, 신호 S2가 일정한 기간동안 하이레벨 및 로우레벨로의 천이를 반복하면 소정의 기간동안 하이레벨을 유지하는 기능모드신호 FM0를 출력한다.

<23> 주파수검출기 30은 도 2에 보인 바와 같이 구성된다. 버퍼 20로부터 제공되는 씨모스 디지털신호 S2는 직렬연결된 인버터들 I1 및 I2를 통하여 피모스(P-channel MOS)트랜지스터 P1과 엔모스(N-channel MOS)트랜지스터 N1의 게이트들에 인가된다. 피모스트랜지스터 P1과 엔모스트랜지스터 N1은, 전원전압 VDD와 엔모스트랜지스터 N2의 사이에 직렬로 연결된다. 엔모스트랜지스터 N2는 엔모스트랜지스터 N1과 접지전압 GND사이에 연결되며 그 게이트는 기준신호 REF에 접속된다. 기준신호 REF가 활성화된 때에 피모스트랜지스터 P1 및 엔모스트랜지스터 N1은 인버

터로 동작한다. 기준신호 REF는 엔모스트랜지스터 N2를 턴온시킬 정도의 전압레벨을 가진다. 피모스트랜지스터 P1의 드레인과 엔모스트랜지스터 N1의 소오스가 접속되는 노드 31은 인버터 I3을 통하여 피모스트랜지스터 P2 및 엔모스트랜지스터 N3의 게이트들에 연결된다. 엔모스트랜지스터 N3은 엔모스트랜지스터 N4를 통하여 접지전압 GND에 연결된다. 엔모스트랜지스터 N4의 게이트는 엔모스트랜지스터 N2의 게이트와 함께 기준신호 REF에 접속된다. 마찬가지로, 피모스트랜지스터 P2 및 엔모스트랜지스터 N3은 기준신호 REF에 응답하여 엔모스트랜지스터 N4가 턴온될 때 인버터로 동작한다. 피모스트랜지스터 P2의 드레인과 엔모스트랜지스터 N3의 소오스가 접속되는 노드 32는 인버터 I4를 통하여 노아(NOR)게이트 NR1의 입력으로 연결된다.

<24> 디지털신호 S2는 또한 인버터 I5를 통하여 피모스트랜지스터 P3과 엔모스트랜지스터 N5의 게이트들에 인가된다. 피모스트랜지스터 P3과 엔모스트랜지스터 N5는, 전원전압 VDD와 엔모스트랜지스터 N6의 사이에 직렬로 연결된다. 엔모스트랜지스터 N6은 엔모스트랜지스터 N5와 접지전압 GND사이에 연결되며 그 게이트는 기준신호 REF에 접속된다. 기준신호 REF가 활성화된 때에 피모스트랜지스터 P3 및 엔모스트랜지스터 N5는 인버터로 동작한다. 피모스트랜지스터 P3의 드레인과 엔모스트랜지스터 N5의 소오스가 접속되는 노드 33은 인버터 I9를 통하여 피모스트랜지스터 P4 및 엔모스트랜지스터 N8의 게이트들에 연결된다. 엔모스트랜지스터 N8은 엔모스트랜지스터 N9를 통하여 접지전압 GND에 연결된다. 엔모스트랜지스터 N9의 게이트는 엔모스트랜지스터 N6의 게이트와 함께 기준신호 REF에 접속된다. 마찬가

지로, 피모스트랜지스터 P4 및 엔모스트랜지스터 N8은 기준신호 REF에 응답하여 엔모스트랜지스터 N9가 턴온될 때 인버터로 동작한다. 피모스트랜지스터 P4의 드레인과 엔모스트랜지스터 N8의 소오스가 접속되는 노드 34는 인버터 I10을 통하여 노아(NOR)게이트 NR1의 입력으로 연결된다.

<25> 엔모스트랜지스터들 N1-N9는 다른 모스트랜지스터들(예컨대, 피모스트랜지스터들 P1-P4)에 비해 상대적으로 그들의 크기가 매우 작은 것들이다. 따라서, 적은 전류구동 능력을 가진다. 이에 관한 동작은 후술하는 도 3과 관련하여 더 상세하게 설명될 것이다. 도 2에서는, 각 인버터단에서 엔모스트랜지스터들(예컨대, N1 및 N2)을 두개씩 직렬로 연결하였으나, 하나의 엔모스트랜지스터(예컨대, N1)만을 피모스트랜지스터(예컨대, P1)와 연결하여 구성할 수 있음을 이해하여야 한다.

<26> 노아게이트 NR1은 인버터들 I4 및 I9의 출력들을 입력한 다음, 직렬연결된 인버터들 I11 및 I12를 통하여 기능모드신호 FM0를 출력한다.

<27> 도 3을 참조하면, 신호 S2가 하이레벨 또는 로우레벨로 고정된 상태(Tx)에서는, 기능모드신호 FM0가 로우레벨로 발생된다. 즉, 신호 S2가 하이레벨로 고정되면 노드들 31와 33이 각각 로우 및 하이레벨들로 된다. 인버터들 I4 및 I10의 출력들 A 및 B가 각각 하이 및 로우레벨들로 됨에 따라, 노아게이트 NR1의 출력은 로우레벨로 되고 결과적으로 기능모드신호 FM0는 로우레벨로 된다. 신호 S2가 로우레벨로 고정된 때에도, 인버터들 I4 및 I10의 출력들이 각각 로우 및 하이레벨들로 됨에 따라 기능모드신호 FM0는 로우레벨로 고정된다.

<28> 그러나, 핀 10에 인가되는 교류신호 S1의 오실레이션(osillation) 상태에 직

접적으로 응답하는 디지털신호 S2가 소정의 주파수 이상으로 천이를 반복하면(Tf), 기능 모드신호 FM0는 하이레벨로 활성화된다. 앞서 설명한 바와 같이, 신호 S2가 소정의 주파수 이상에서 하이레벨에서 로우레벨로 그리고 로우레벨에서 하이레벨로 발진하는 상태(Tf)에서, 엔모스트랜지스터들 N1 및 N2의 전류구동능력이 상당히 작기 때문에 S2가 하이레벨인 동안이더라도 인버터 I3의 출력 A'는 그 하이레벨의 펄스폭이 짧아져 있다. 이는 작은 크기로 인해 전류구동능력이 적은 엔모스트랜지스터들 N1 및 N2가 하이레벨에 대하여 느리게 반응하기 때문이다. 마찬가지로, 다음 단의 엔모스트랜지스터들 N3 및 N4도 작은 전류구동능력을 가지기 때문에, 노드 32에서는 짧아진 하이레벨의 펄스에 반응하는 로우레벨의 성분이 나타나지 않게 된다. 그 결과, 노아게이트 NR1의 입력 A에서는 S2가 소정 주파수이상으로 발진하는 기간 Tf동안 로우레벨의 신호만이 나타난다. 또한, 인버터 I5부터 노아게이트 NR1의 입력 B에 이르는 경로에서도 동일한 과정에 의해, 신호 S2의 하이레벨의 펄스폭이 점점 짧아지게 되어 입력 B에서는 로우레벨의 신호만이 나타난다. 그 결과, 예를 들어, 신호 S2가 소정의 주파수이상으로 발진하는 기간 Tf동안 기능모드신호 FM0는 하이레벨을 유지한다. 기간 Tf동안 하이레벨로 검출된 기능모드신호 FM0는 집적회로장치의 소정의 내부회로를 동작시켜 테스트 동작 등을 수행시킨다. 일정한 주파수이상으로 신호 S2(또는 S1)가 발진할 때, 기능모드신호 FM0을 하이레벨로 활성화하는 것은 폴다운용의 엔모스트랜지스터들 N1~N9의 크기를 어떻게 설계하는가에 따라 정해진다. 또한, 도 2에 보인 바와 같이, 하이레벨의 펄스폭을 짧게 함에 있어서 두번에 걸치지 않고 한 번에 할 수 있음도 이해하여야 한다.

- <29> 한편, 신호 S2가 소정의 주파수 이하로 천이를 반복하는 경우에는 기능모드신호 FM0가 그에 응답하여 천이를 반복하지만, 본 실시예에서는 이용하지 않는 주파수 영역이다.
- <30> 도 2 및 3에 보인 주파수검출기 30의 회로구조와 입출력특성은 후술하는 제2실시예에서도 이용된다.
- <31> 제2실시예(관련도면들은 도 4 내지 도 6)
- <32> 도 4에 보인 기능모드 설정회로는, 도 1에 보인 실시예가 하나의 기능모드신호를 발생하는 반면, 도 1의 구성을 이용하면서 여러 개의 기능모드신호들을 생성하는 구성을 가진다. 도 4를 참조하면, 버퍼 20로부터 출력되는 씨모스 디지털신호 S2는 주파수검출기 30으로 인가됨과 동시에 직렬연결된 레지스터들 REG1-REG4로 이루어진 레지스터 체인으로 전달된다. 레지스터들 REG1-REG4는 일정한 주파수와 주기를 가지는 클럭신호 CLK에 동기적으로 응답하여 해당하는 출력들 R1~R4를 디코더 40으로 보낸다. 클럭신호 CLK가 한 주기씩 지날 때마다 신호 S2는 각 레지스터 스테이지를 통과한다. 각 레지스터의 구성은, 예컨대, 통상의 지연루우프(delay loop) 또는 위상루우프(phase loop) 등에서 사용하는 것으로서, 한쌍의 인버터들로 구성된 래치와 클럭신호 CLK에 응답하여 턴 온/오프되는 전송게이트들로 구성될 수 있다.
- <33> 주파수검출기 30은, 도 3과 관련하여 전술한 바와 같이, 신호 S2가 소정의 주파수 이상에서 천이를 반복할 때(기능모드를 설정하기 위한 신호입력상태가 유효함을 나타냄) 하이레벨로 활성화되는 기능모드신호 FM0를 발생한다. 도 4에서는 신호 FM0가 디코더의 동작을 통제하는 용도로 사용된다. 즉, 디코더 40은 레지스터들 REG1-REF4로부터 전달

신호들 R1~R4를 입력한 다음, 신호 FM0가 하이레벨로 활성화되어 있는 동안 기능모드신호들 FM1~FM3을 발생한다.

<34> 도 4에서 레지스터들의 수와 기능모드신호들의 수를 각각 4개와 3개로 구성하였으나, 필요한 기능들에 따라 그 수들은 달라질 수 있다.

<35> 도 5를 참조하면, 디코더 40은 레지스터 전달신호들 R1~R4의 이진조합들에 응답하는 낸드게이트들 ND1~ND17로 이루어 진다. 전달신호들 R1~R4의 이진조합들에 따라 기능모드신호를 발생하는 방식은 다양하지만, 본 실시예에서는 전달신호들 R1~R4 중 하나가 하이레벨인 때에는 기능모드신호 FM1이 활성화되고 전달신호들 R1~R4 중 두개가 하이레벨인 때에는 기능모드신호 FM2가 활성화되고 전달신호들 R1~R4 중 세개가 하이레벨인 때에는 기능모드신호 FM3가 활성화되도록 설정한다. 신호들 R1B~R4B는 전달신호들 R1~R4의 반대 논리 신호들이다.

<36> 낸드게이트 ND1은 R1, R2B, R3B 및 R4B를 입력한다. 낸드게이트 ND2는 R1B, R2, R3B 및 R4B를 입력한다. 낸드게이트 ND3은 R1B, R2B, R3 및 R4B를 입력한다. 낸드게이트 ND4는 R1B, R2B, R3B 및 R4를 입력한다. 낸드게이트들 ND1~ND4의 출력들은 낸드게이트 ND15에 입력된다. 낸드게이트 ND15로부터 기능모드신호 FM1이 발생된다. 전달신호들 R1~R4 중에서 어느 하나가 하이레벨인 동안 다른 반대논리신호들은 하이레벨을 유지하고 있으므로, 낸드게이트들 ND1~ND4의 출력들 중 하나가 로우레벨로 된다. 그러면, 낸드게이트 ND15로부터 하이레벨의 기능모드신호 FM1이 활성화상태로 발생된다.

<37> 낸드게이트 ND5는 R1, R2, R3B 및 R4B를 입력한다. 낸드게이트 ND6은 R1, R2B, R3 및 R4B를 입력한다. 낸드게이트 ND7은 R1, R2B, R3B 및 R4를 입력한다. 낸드게이트 ND8은 R1B, R2, R3 및 R4B를 입력한다. 낸드게이트 ND9는 R1B, R2, R3B 및 R4를 입력한

다. 낸드게이트 ND10은 R1B, R2B, R3 및 R4를 입력한다. 낸드게이트들 ND5~ND10의 출력들은 낸드게이트 ND16에 입력된다. 낸드게이트 ND16으로부터 기능모드신호 FM2가 발생된다. 전달신호들 R1~R4 중에서 임의의 두개가 하이레벨들인 동안 다른 반대논리신호들은 하이레벨을 유지하고 있으므로, 낸드게이트들 ND5~ND10의 출력들 중 하나가 로우레벨로 된다. 그러면, 낸드게이트 ND16으로부터 하이레벨의 기능모드신호 FM2가 활성화상태로 발생된다.

<38> 낸드게이트 ND11은 R1, R2, R3 및 R4B를 입력한다. 낸드게이트 ND12는 R1, R2, R3B 및 R4를 입력한다. 낸드게이트 ND13은 R1, R2B, R3 및 R4를 입력한다. 낸드게이트 ND14는 R1B, R2, R3 및 R4를 입력한다. 낸드게이트들 ND11~ND14의 출력들은 낸드게이트 ND17에 입력된다. 낸드게이트 ND17로부터 기능모드신호 FM3이 발생된다. 전달신호들 R1~R4 중에서 임의의 세개가 하이레벨들인 동안 다른 반대논리신호들은 하이레벨을 유지하고 있으므로, 낸드게이트들 ND11~ND14의 출력들 중 하나가 로우레벨로 된다. 그러면, 낸드게이트 ND17로부터 하이레벨의 기능모드신호 FM3이 활성화상태로 발생된다.

<39> 도 5의 디코더 40로부터 발생하는 기능코드신호들 FM1~FM3과 관련하여 도 6의 파형도를 참조하면, 클럭신호 CLK의 매 4 사이클마다, 전달신호들 R1~R4 중에서 하나가 하이레벨이면 기능모드신호 FM1이 하이레벨로 활성화되고 두개가 하이레벨들이면 기능모드신호 FM2가 하이레벨로 활성화되고 세개가 하이레벨들로 되면 기능모드신호 FM3이 하이레벨로 활성화됨을 볼 수 있다.

<40> 제3실시예(관련도면들은 도 7 및 도 8)

<41> 도 7에 보인 기능모드 설정회로는 최소 하이레벨 전압 $V_{IH}(<V_{DD})$ 와 최대 로우레벨 전압 $V_{IL}(>GND)$ 사이에서 설정되는 기준전압들 $VR_1 \sim VR_n$ (도 8을 참조하라)을 핀 10으로부터 수신되는 신호 S_1 에 각각 비교하여 코딩신호들을 생성하는 방식을 사용한다. 이 때의 입력신호 S_1 은 전술한 실시예들과는 달리 일정한 전압레벨을 가지는 직류신호이다. 도 7을 참조하면, 입력신호 S_1 은 차동증폭기들 $DF_1 \sim DF_n$ 의 비반전입력단들(+)에 동시에 입력되어 기준전압들 $VR_1 \sim VR_n$ 과 비교된다. 차동증폭기들 $DF_1 \sim DF_n$ 에서는 해당하는 기준전압과 입력신호 S_1 사이의 전압차를 증폭하여 얻은 신호들 $D_1 \sim D_n$ 을 각각 출력한다. 차동증폭신호들 $D_1 \sim D_n$ 은 디코더 50으로 입력된다. 디코더 50은 입력된 차동증폭신호들 $D_1 \sim D_n$ 으로써 도 6에 보인 것과 동일한 방식으로 논리조합을 구성하여 하나 또는 그 이상의 기능모드신호들 FM_i 을 발생한다.

<42> 상술한 실시예에서 보인 본 발명의 수단과 방법에 준하여 본 발명의 기술분야에서 통상의 지식을 가진 자는 본 발명의 범위내에서 본 발명의 변형 및 응용이 가능하다.

【발명의 효과】

<43> 전술한 바와 같이, 본 발명은 일반적인 집적회로장치에 설치된 모드설정용 직류핀을 이용하여 패키지단계에서의 테스트 등을 위한 기능을 용이하게 설정할 수 있다. 따라서, 회로설계자로 하여금 별도의 기능설정용 핀이 없더라도 필요한 기능을 용이하게 설정하여 사용할 수 있도록 하는 이점이 있다.

【특허청구범위】**【청구항 1】**

정상적인 동작상태에서 직류전압성분의 신호가 인가되는 편을 가진 집적회로장치에 있어서:

상기 편에 교류신호를 인가하는 신호원과;

상기 편을 통하여 공급되는 교류신호를 디지털신호로 변환하는 버퍼와;

상기 디지털신호의 주파수를 검출한 다음 소정의 검출신호를 출력하는 디지털검출기를 구비함을 특징으로 하는 집적회로장치.

【청구항 2】

제1항에 있어서,

상기 검출신호가 상기 디지털신호가 소정 주파수 이상일 때 활성화됨을 특징으로 하는 집적회로장치.

【청구항 3】

제2항에 있어서,

상기 디지털검출기가 상기 디지털신호가 상기 소정 주파수이상에서 발진할 때 상기 디지털신호의 일정한 논리레벨의 성분을 감쇄시키는 트랜지스터를 구비함을 특징으로 하는 집적회로장치.

【청구항 4】

제1항에 있어서,

상기 검출신호가 소정의 기능모드를 설정하는 신호임을 특징으로 하는 집적회로장치.

【청구항 5】

제1항에 있어서,

클럭신호에 응답하여 상기 디지털신호로부터 순차적인 전달신호들을 발생하는 레지스터 체인과;

상기 검출신호에 응답하여 상기 전달신호들로부터 기능모드신호들을 발생하는 디코더를 더 구비함을 특징으로 하는 집적회로장치.

【청구항 6】

제5항에 있어서,

상기 레지스터 체인이 상기 전달신호들을 각각 발생하는 레지스터들로 이루어짐을 특징으로 하는 집적회로장치.

【청구항 7】

제5항에 있어서,

상기 디코더가 상기 전달신호들의 논리조합을 통하여 상기 기능모드신호들을 발생함을 특징으로 하는 집적회로장치.

【청구항 8】

정상적인 동작상태에서 직류전압성분의 신호가 인가되는 편을 가진 집적회로장치에 있어서:

상기 편에 인가하는 직류신호와 기준전압들을 각각 비교하여 차동증폭신호를 발생하는 차동증폭기들과;

상기 차동증폭신호들의 논리조합들로부터 적어도 하나 이상의 기능모드신호들을 발생하
는 디코더를 구비함을 특징으로 하는 집적회로장치.

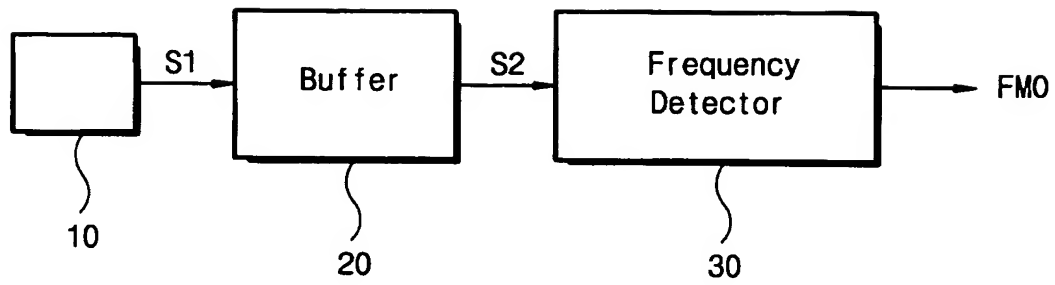
【청구항 9】

제8항에 있어서,

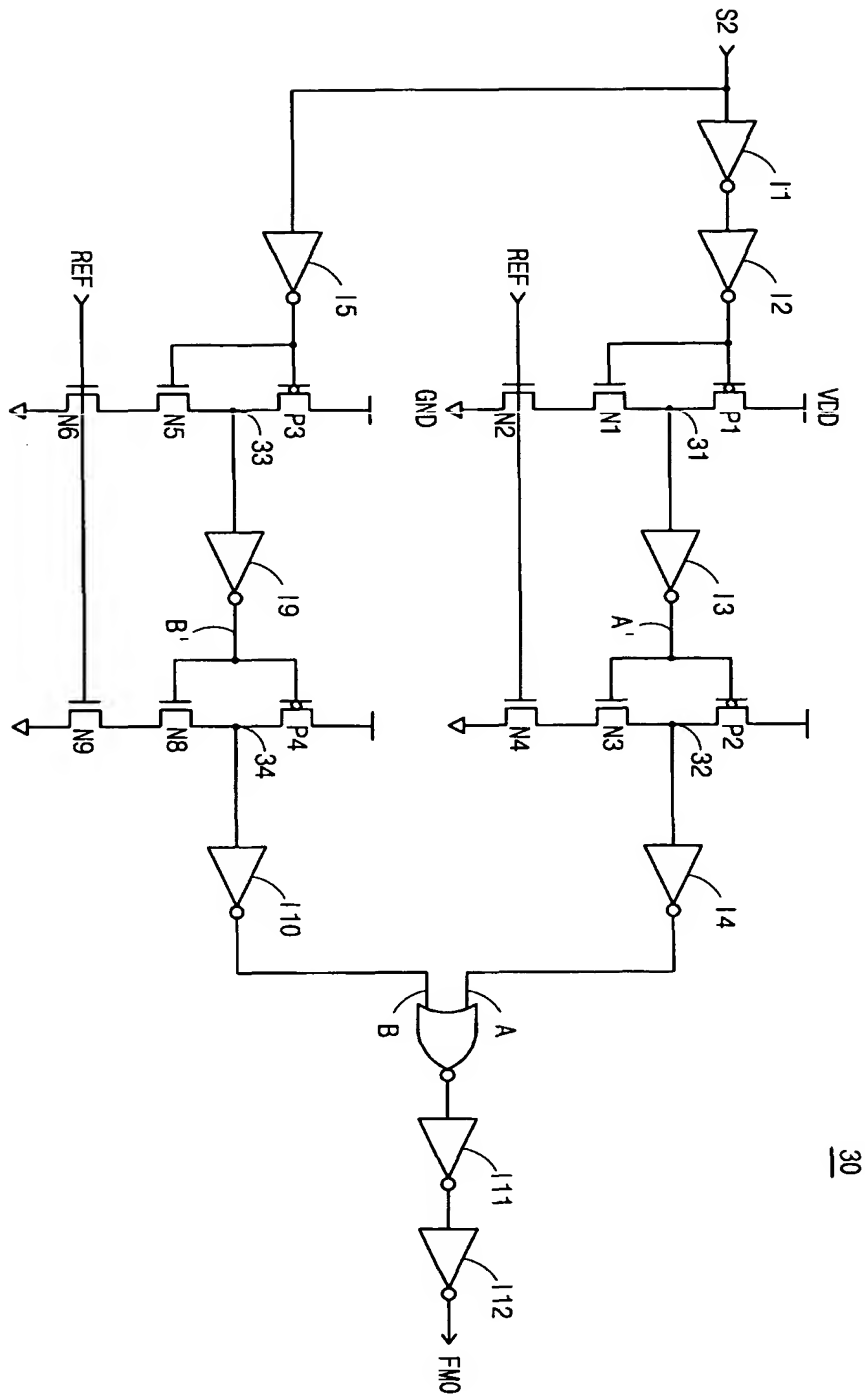
상기 기준전압들이 상기 집적회로장치에서 동작하는 하이레벨의 전압들들 중 가장 낮은
전압레벨과 상기 집적회로장치에서 동작하는 로우레벨의 전압들 중 가장 높은 전압레벨
의 사이에 존재함을 특징으로 하는 집적회로장치.

【도면】

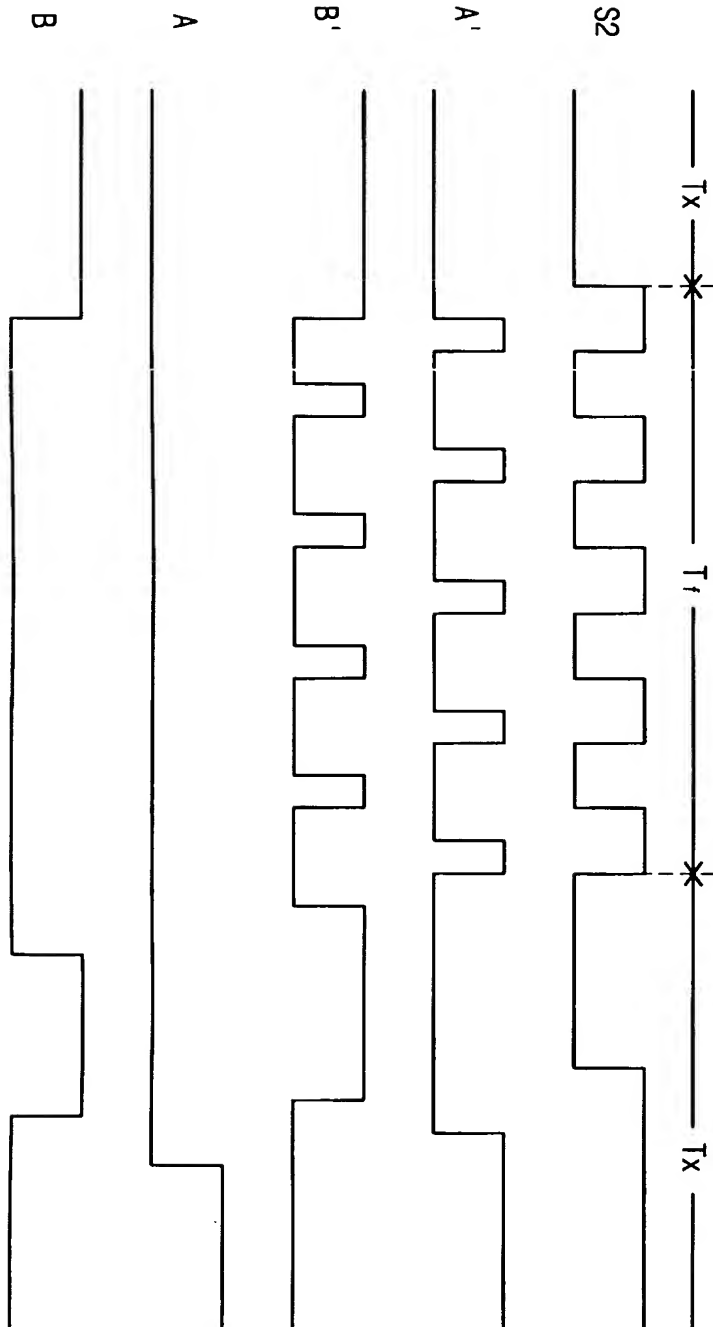
【도 1】



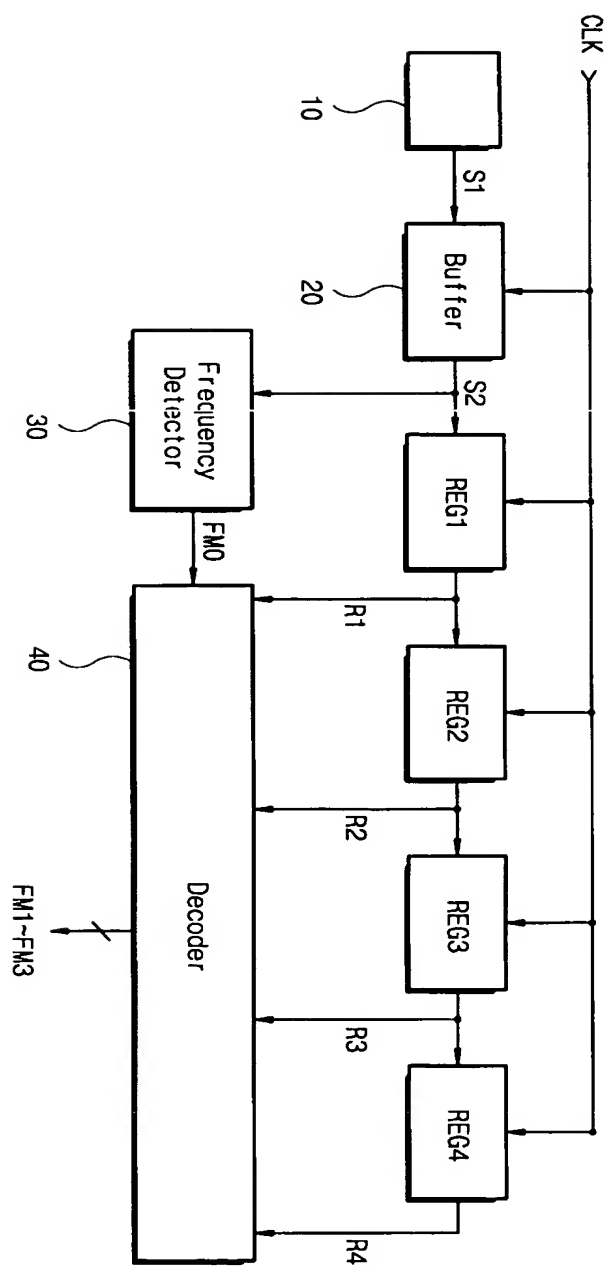
【도 2】



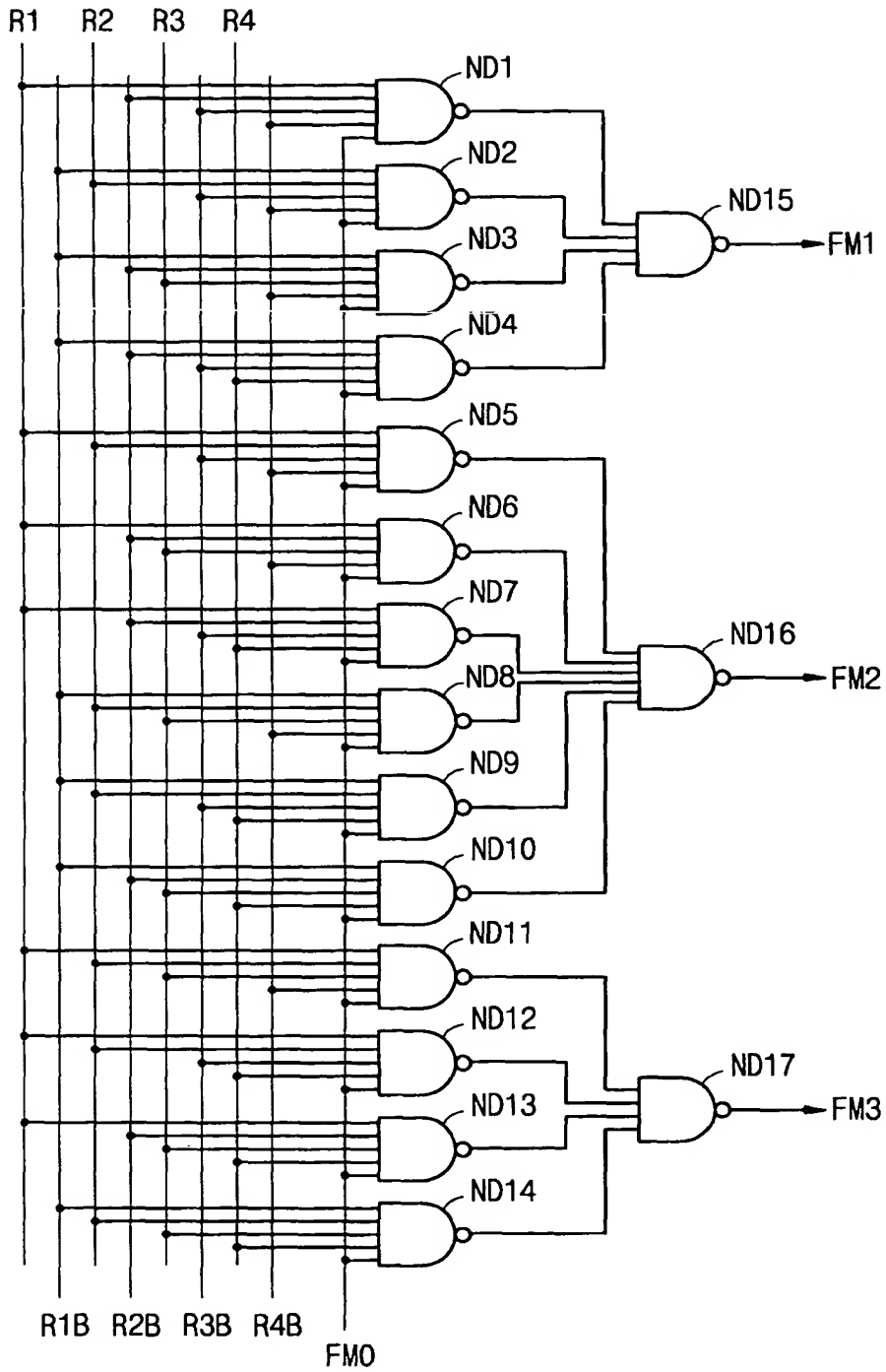
【도 3】



【도 4】

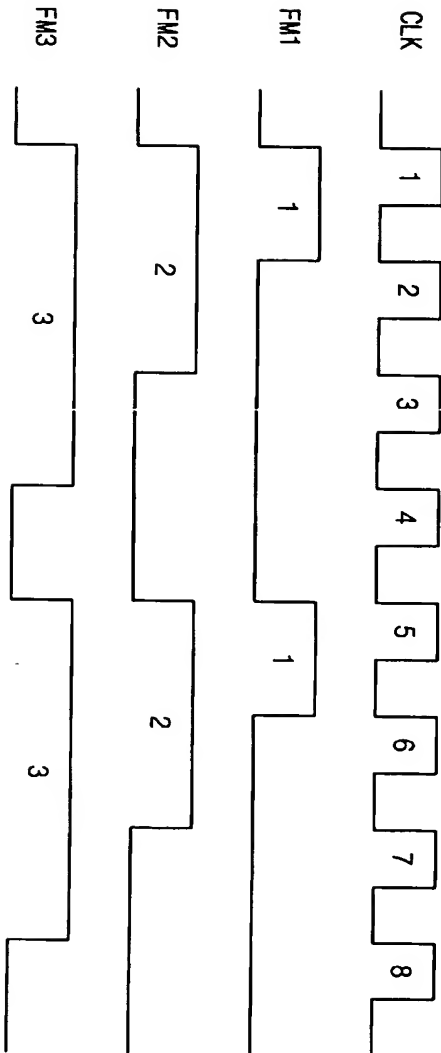


【도 5】

40

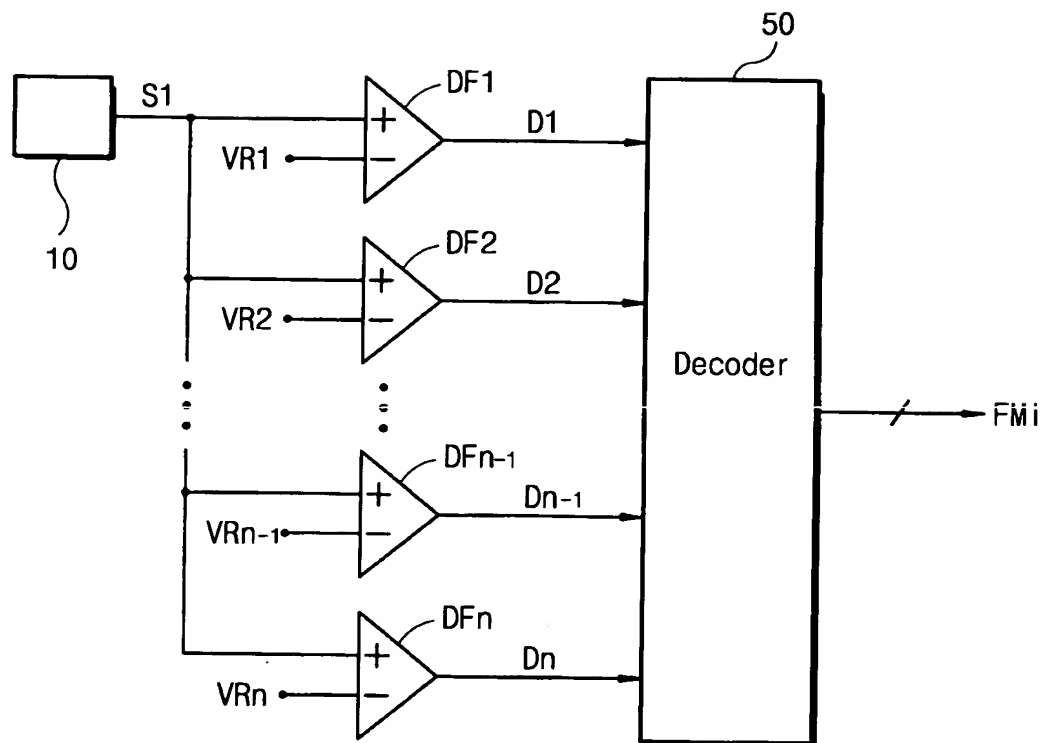


【도 6】





【도 7】



【도 8】

